

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
Yoshihisa KATO, et al. : Confirmation Number:  
Serial No.: : Group Art Unit:  
Filed: September 03, 2003 : Examiner: Unknown  
:  
For: SEMICONDUCTOR DEVICE, METHOD FOR FABRICATING THE SAME, AND METHOD  
FOR DRIVING THE SAME

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

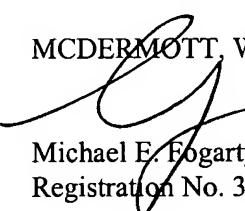
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

**Japanese Patent Application No. 2002-258816, filed September 4, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

  
MCDERMOTT, WILL & EMERY  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: September 3, 2003**

日本国特許庁

JAPAN PATENT OFFICE

40188-639  
KATO et al.  
September 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月 4日

出願番号

Application Number:

特願2002-258816

[ST.10/C]:

[JP2002-258816]

出願人

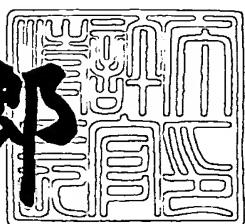
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3028287

【書類名】 特許願

【整理番号】 2925040048

【提出日】 平成14年 9月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 加藤 剛久

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 嶋田 恭博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 山田 隆善

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、その製造方法及びその駆動方法

【特許請求の範囲】

【請求項1】 データを分極値として記憶する第1の強誘電体キャパシタを有する複数のメモリセルを備え、前記複数のメモリセルのうちデータを読み出すメモリセルを構成する前記第1の強誘電体キャパシタの両電極間に読み出し電圧を印加して前記第1の強誘電体キャパシタの分極値を検出することにより、前記第1の強誘電体キャパシタに記憶されているデータを読み出す半導体記憶装置において、

前記第1の強誘電体キャパシタのヒステリシス曲線は、前記読み出し電圧の極性と逆の電圧側にシフトしていることを特徴とする半導体記憶装置。

【請求項2】 前記複数のメモリセルのそれぞれは、前記データとして相補データを記憶する一対の前記第1の強誘電体キャパシタを有していることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 一対の前記第1の強誘電体キャパシタに同一の分極値を書き込む手段を備えていることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記複数のメモリセルのそれぞれは、前記データとして二値データを記憶する1つの前記第1の強誘電体キャパシタを有し、

二値データを分極値として記憶する第2の強誘電体キャパシタを有するリファレンスセルと、

前記第1の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの前記第1の強誘電体キャパシタの分極値と、前記第2の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの前記第2の強誘電体キャパシタの分極値とを比較して、前記第1の強誘電体キャパシタに記憶されている二値データを出力する手段とを備え、

前記第2の強誘電体キャパシタのヒステリシス曲線は、前記読み出し電圧の極性と逆の電圧側にシフトしていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 前記リファレンスセルは、相補データの一方と対応する分極値

を記憶する前記第2の強誘電体キャパシタを有する第1のリファレンスセルと、相補データの他方と対応する分極値を記憶する前記第2の強誘電体キャパシタを有する第2のリファレンスセルとからなり、

前記第1のリファレンスセルと前記第2のリファレンスセルとはほぼ同数であり、

前記第1の強誘電体キャパシタ及び前記第2の強誘電体キャパシタに同一の分極値を書き込む手段を備えていることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 請求項2に記載の半導体記憶装置の製造方法であって、

一対の前記第1の強誘電体キャパシタに同一の分極値を書き込んだ後、前記同一の分極値が書き込まれた一対の前記第1の強誘電体キャパシタを加熱することにより、一対の前記第1の強誘電体キャパシタのヒステリシス曲線を、前記読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えていることを特徴とする半導体記憶装置の製造方法。

【請求項7】 一対の前記第1の強誘電体キャパシタに前記同一の分極値を書き込む工程は、通常の動作時において一対の前記第1の強誘電体キャパシタの両電極間に印加される電圧よりも高い書き込み電圧を印加する工程を含むことを特徴とする請求項6に記載の半導体記憶装置の製造方法。

【請求項8】 一対の前記第1の強誘電体キャパシタを加熱する工程は、通常の動作時において一対の前記第1の強誘電体キャパシタが達する温度よりも高い温度で行なわれることを特徴とする請求項6に記載の半導体記憶装置の製造方法。

【請求項9】 請求項4に記載の半導体記憶装置の製造方法であって、

前記第1の強誘電体キャパシタ及び前記第2の強誘電体キャパシタに同一の分極値を書き込んだ後、前記同一の分極値が書き込まれた前記第1及び第2の強誘電体キャパシタを加熱することにより、前記第1及び第2の強誘電体キャパシタのヒステリシス曲線を前記読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えていることを特徴とする半導体記憶装置の製造方法。

【請求項10】 前記第1及び第2の強誘電体キャパシタに前記同一の分極値

を書き込む工程は、通常の動作時において前記第1及び第2の強誘電体キャパシタの両電極間に印加される電圧よりも高い書き込み電圧を印加する工程を含むことを特徴とする請求項9に記載の半導体記憶装置の製造方法。

【請求項11】 前記第1及び第2の強誘電体キャパシタを加熱する工程は、通常の動作時において前記第1及び第2の強誘電体キャパシタが達する温度よりも高い温度で行なわれることを特徴とする請求項9に記載の半導体記憶装置の製造方法。

【請求項12】 請求項1に記載の半導体記憶装置の駆動方法であって、

前記データは二値データであり、  
二値データの一方を記憶するときの前記第1の強誘電体キャパシタの分極の第1の絶対値と、二値データの他方を記憶するときの前記第1の強誘電体キャパシタの分極の第2の絶対値とが異なるように、前記第1の強誘電体キャパシタの両電極に書き込み電圧を印加する工程を備えていることを特徴とする半導体記憶装置の駆動方法。

【請求項13】 前記第1の絶対値及び前記第2の絶対値のうち大きい方と対応する書き込み電圧の極性と前記読み出し電圧の極性とは互いに等しいことを特徴とする請求項12に記載の半導体記憶装置の駆動方法。

【請求項14】 前記第1の絶対値及び前記第2の絶対値のうち小さい方の値は、ほぼ零であることを特徴とする請求項12に記載の半導体記憶装置の駆動方法。

【請求項15】 前記第1の強誘電体キャパシタの分極が前記第1の絶対値となる第1の書き込み電圧と、前記第1の強誘電体キャパシタの分極が前記第2の絶対値となる第2の書き込み電圧とは、異なる電圧源から供給されることを特徴とする請求項12に記載の半導体記憶装置の駆動方法。

【請求項16】 前記読み出し電圧は、前記第1の強誘電体キャパシタの抗電圧以下であることを特徴とする請求項12に記載の半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データを分極値として記憶する強誘電体メモリを有する半導体記憶装置、その製造方法及びその駆動方法に関する。

## 【0002】

## 【従来の技術】

以下、従来の半導体記憶装置について、図17～図20及び図21(a)、(b)を参照しながら説明する。

## 【0003】

図17は、従来の半導体記憶装置におけるメモリセル及びその周縁回路を示している。

## 【0004】

図17に示すように、メモリセルは、2つの強誘電体キャパシタC0、C1と2つのパストランジスタQ0、Q1とを有しており、いわゆる2T2C型のメモリセルである。強誘電体キャパシタC0の第1の電極はパストランジスタQ0のソースに接続され、強誘電体キャパシタC1の第1の電極はパストランジスタQ1のソースに接続され、強誘電体キャパシタC0及び強誘電体キャパシタC1の各第2の電極はセルプレート線CPに共通に接続されている。パストランジスタQ0のドレインはビット線BL0に接続され、パストランジスタQ1のドレインはビット線BL1に接続され、ビット線BL0のビット線容量はCBL0で表わされ、ビット線BL1のビット線容量はCBL1で表わされている。尚、ビット線容量CBL0とビット線容量CBL1とは互いに等しい。パストランジスタQ0のゲート及びパストランジスタQ1のゲートはワード線WLに共通に接続されている。また、ビット線BL0及びビット線BL1の一端部同士の間には、インバータINV0及びインバータINV1よりなるセンスアンプが接続されている。

## 【0005】

強誘電体キャパシタC0、C1は、第1の電極と第2の電極との間に電圧が印加されない状態においても分極を保持し、図18に示すようなヒステリシス曲線50を有している。図18においては、プレート線CPに正電圧を印加する場合に、電圧軸の方向を正とすると共に分極の方向が上向きを正にしている。

## 【0006】

## &lt;データの書き込み動作&gt;

メモリセルにデータを書き込む場合には、ワード線WLにハイ電圧を印加してパストランジスタQ0, Q1をオンにした後、ビット線BL0, BL1をロー電圧にした状態でプレート線PLに正極性のパルス電圧を印加する。このようにすると、2つの強誘電体キャパシタC0, C1は図18における点51に分極値が書き込まれる。

## 【0007】

次に、データ“0”を書き込む場合には、ビット線BL1に正極性のパルス電圧を印加する。このようにすると、強誘電体キャパシタC1はヒステリシス曲線50の軌跡を描いて、点52に分極値が書き込まれる。

## 【0008】

一方、データ“1”を書き込む場合には、ビット線BL0に正極性のパルス電圧を印加する。このようにすると、強誘電体キャパシタC0はヒステリシス曲線50の軌跡を描いて、点52に分極値が書き込まれる。尚、書き込みパルス電圧を印加した後に、ワード線WLはロー電位にされる。

## 【0009】

この書き込み動作により、データ“0”的場合には、強誘電体キャパシタC0に正の分極値（点51）が記憶され且つ強誘電体キャパシタC1に負の分極値（点52）が記憶される一方、データ“1”的場合には、強誘電体キャパシタC0に負の分極値（点52）が記憶され且つ強誘電体キャパシタC1に正の分極値（点51）が記憶されるというように、2つの強誘電体キャパシタC0, C1には相補的に分極値が書き込まれる。

## 【0010】

## &lt;データの読み出し動作&gt;

メモリセルからデータを読み出す場合には、ビット線BL0, BL1をロー電位にプリチャージした後、ワード線WLにハイ電圧を印加してパストランジスタQ0, Q1をオンにした状態で、プレート線CPにハイ電圧を印加する。このようにすると、点51の分極状態にあった強誘電体キャパシタは、図19における

軌跡53を描いて、点54の分極状態に達する。一方、点52の分極状態にあつた強誘電体キャパシタは、図20における軌跡55を描いて、点56の分極状態に達する。

#### 【0011】

初期の分極状態51, 52と新たな分極状態54, 56との差に相当する電荷が、ビット線BL0, BL1のビット線容量CBL0, CBL1に発生する。この電荷がビット線容量CBL0, CBL1により電圧変換されたビット線電位をクロスカップルドインバータINV0, INV1よりなるセンスアンプにより増幅して出力する。すなわち、強誘電体キャパシタC0, C1に記憶された分極状態が点51, 点52であった場合、ビット線BL0に発生する電荷（点54－点51）はビット線BL1に発生する電荷（点56－点52）よりも小さいので、ビット線BL0はロー電位を出力する。一方、強誘電体キャパシタC0, C1に記憶された分極状態が点52, 点51であった場合、ビット線BL0に発生する電荷（点56－点52）はビット線BL1に発生する電荷（点54－点51）よりも大きいので、ビット線BL0はハイ電位を出力する。

#### 【0012】

前者のように記憶された分極状態はデータ“0”に相当するので、ビット線BL0のロー電位出力をデータ“0”と判定し、後者のように記憶された分極状態はデータ“1”に相当するので、ビット線BL0のハイ電位出力をデータ“1”と判定することにより、データの読み出しが正しく行われる。

#### 【0013】

データの読み出し後に、プレート線CPはロー電位に復帰される。このとき、2つの強誘電体キャパシタC0, C1の分極は、図19における軌跡57又は図20における軌跡55を描いて、点51又は点59に達する。

#### 【0014】

読み出し動作の開始前には分極値が相補的に記憶されていたが、読み出し動作により同一極性の分極状態になる破壊方式の読み出し動作となっている。

#### 【0015】

従って、前述の書き込み動作を再び行なうことにより、強誘電体キャパシタC

0, C1を読み出し動作開始前の相補的な分極状態に復帰させて、読み出し動作は完了する。

## 【0016】

## 【発明が解決しようとする課題】

ところが、メモリセルを構成する強誘電体キャパシタに分極を記憶させた状態で高温下に放置すると、分極状態が焼き付いてしまい、分極反転し難くなるという問題がある。これはインプリントと称され、インプリントした強誘電体キャパシタにおいては、ヒステリシス特性が電圧軸方向にシフトして、データ読み出し動作における発生電荷量が減少するので、動作マージンが減少するという問題がある。以下、この問題について詳細に説明する。

## 【0017】

前述したように、従来の半導体記憶装置においては、2つの強誘電体キャパシタC0, C1は相補的に分極値を記憶しており、図21(a)は正の分極値(点51)に記憶した場合を示し、図21(b)は負の分極値(点52)に記憶した場合を示している。2つの強誘電体キャパシタC0, C1は、初期状態では破線で示すヒステリシス曲線60を有し、両者が一致した特性を示している。これを、高温下(例えば85°C)で長時間(例えば100時間)放置すると、ヒステリシス曲線60は電圧軸方向にシフトする。シフトする方向は記憶されていた分極に依存しており、図21(a)に示す場合には、正の分極値(点51)であるから負電圧方向にシフトしてヒステリシス曲線61となり、また、図21(b)に示す場合には、負の分極値(点52)であるから正電圧方向にシフトしてヒステリシス曲線62となる。

## 【0018】

その後、半導体記憶装置を通常の動作温度(例えば27°C)に戻しても、ヒステリシス曲線がシフトしてしまった強誘電体キャパシタは、もはや初期のヒステリシス曲線60に復帰することなく、シフトしたヒステリシス曲線61, 62のままである。

## 【0019】

データの読み出し動作を行なったときに描く軌跡は初期状態から変化しており

、図21(a)の場合には発生する電荷は(点63-点51)となり、図21(b)の場合には発生する電荷は(点64-点52)となる。負の分極値を記憶していた図21(b)の場合には、発生電荷量は破線で示した初期状態よりも減少することが分かる。これは、ビット線BL0, BL1の電位差を減少させ、クロスカッフルドインバータINV0, INV1よりなるセンスアンプの増幅及び出力の動作マージンを低下させてしまう。

#### 【0020】

また、インプリントした強誘電体キャパシタにおいては、データのデータ書き換え動作にも問題が発生する。すなわち、図21(a)における分極値(点51)及び図21(b)における分極値(点52)を逆極性に書き換えた場合、分極値は図21(a)における点65及び図21(b)における点66となる。このように、2つの強誘電体キャパシタC0, C1の分極値の差(点66-点65)は、初期状態における分極値の差(点51-点52)に比べて小さくなってしまい、データ保持特性(リテンション特性)は低下してしまう。

#### 【0021】

前記に鑑み、本発明は、データを分極値として記憶している強誘電体キャパシタの両電極に読み出し電圧を印加して分極値を読み出す際の動作マージンの増加を図ることを目的とする。

#### 【0022】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明に係る半導体記憶装置は、データを分極値として記憶する第1の強誘電体キャパシタを有する複数のメモリセルを備え、複数のメモリセルのうちデータを読み出すメモリセルを構成する第1の強誘電体キャパシタの両電極間に読み出し電圧を印加して第1の強誘電体キャパシタの分極値を検出することにより、第1の強誘電体キャパシタに記憶されているデータを読み出す半導体記憶装置を前提とし、第1の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしていることを特徴とする。

#### 【0023】

本発明に係る半導体記憶装置によると、第1の強誘電体キャパシタのヒステリ

シス曲線は、読み出し電圧の極性と逆の電圧側に予めシフトしているため、読み出し電圧を印加した後においてはヒステリシス曲線はシフトしない。この場合、ヒステリシス曲線は読み出し電圧の極性と逆の電圧側にシフトしているため、データを読み出す際のマージンが増加する。

## 【0024】

本発明に係る半導体記憶装置において、複数のメモリセルのそれぞれは、データとして相補データを記憶する一対の第1の強誘電体キャパシタを有していてよい。

## 【0025】

このようにすると、メモリセルが相補データを記憶する一対の第1の強誘電体キャパシタを有する、いわゆる2T2C型の半導体記憶装置においても、データを読み出す際のマージンが増加する。

## 【0026】

この場合、本発明に係る半導体記憶装置は、一対の第1の強誘電体キャパシタに同一の分極値を書き込む手段を備えていることが好ましい。

## 【0027】

このようにすると、メモリセルが相補データを記憶する一対の第1の強誘電体キャパシタを有する、いわゆる2T2C型の半導体記憶装置に対して、製造工程においては、一対の第1の強誘電体キャパシタに同一のデータを書き込むことができる。

## 【0028】

本発明に係る半導体記憶装置において、複数のメモリセルのそれぞれは、データとして二値データを記憶する1つの第1の強誘電体キャパシタを有し、二値データを分極値として記憶する第2の強誘電体キャパシタを有するリファレンスセルと、第1の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの第1の強誘電体キャパシタの分極値と、第2の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの第2の強誘電体キャパシタの分極値とを比較して、第1の強誘電体キャパシタに記憶されている二値データを出力する手段とを備え、第2の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と

逆の電圧側にシフトしていることが好ましい。

## 【0029】

このようにすると、半導体記憶装置が、保存するデータを記憶するためのメモリセルのほかに、リファレンスデータを記憶するリファレンスセルを有する、いわゆる1T1C型の半導体記憶装置においても、データを読み出す際のマージンが増加する。

## 【0030】

この場合、本発明に係る半導体記憶装置において、リファレンスセルは、相補データの一方と対応する分極値を記憶する第2の強誘電体キャパシタを有する第1のリファレンスセルと、相補データの他方と対応する分極値を記憶する第2の強誘電体キャパシタを有する第2のリファレンスセルとからなり、第1のリファレンスセルと第2のリファレンスセルとはほぼ同数であり、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタに同一の分極値を書き込む手段を備えていることが好ましい。

## 【0031】

このようにすると、相補データの一方を記憶する第1のリファレンスセルと、相補データの他方を記憶する第2のリファレンスセルとをほぼ同数ずつ有する半導体記憶装置においても、製造工程において、第1のリファレンスセルを構成する第2の強誘電体キャパシタ及び第2のリファレンスセルを構成する第2の強誘電体強誘電体キャパシタに同一のデータを書き込むことができる。

## 【0032】

本発明に係る第1の半導体記憶装置の製造方法は、データを分極値として記憶する第1の強誘電体キャパシタを有する複数のメモリセルを備え、複数のメモリセルのうちデータを読み出すメモリセルを構成する第1の強誘電体キャパシタの両電極間に読み出し電圧を印加して第1の強誘電体キャパシタの分極値を検出することにより、第1の強誘電体キャパシタに記憶されているデータを読み出す半導体記憶装置であって、第1の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしており、複数のメモリセルのそれぞれは、データとして相補データを記憶する一対の第1の強誘電体キャパシタを有して

いる半導体記憶装置の製造方法を対象とし、一対の第1の強誘電体キャパシタに同一の分極値を書き込んだ後、同一の分極値が書き込まれた一対の第1の強誘電体キャパシタを加熱することにより、一対の第1の強誘電体キャパシタのヒステリシス曲線を、読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えている。

## 【0033】

本発明に係る第1の半導体記憶装置の製造方法によると、一対の第1の強誘電体キャパシタに同一の分極値を書き込んだ後、該一対の第1の強誘電体キャパシタを加熱することにより、該一対の第1の強誘電体キャパシタのヒステリシス曲線を、読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えているため、メモリセルが相補データを記憶する一対の第1の強誘電体キャパシタを有する、いわゆる2T2C型の半導体記憶装置を製造する工程において、一対の第1の強誘電体キャパシタのヒステリシス曲線を読み出し電圧の極性と逆の電圧側に確実にシフトさせることができる。

## 【0034】

本発明に係る第1の半導体記憶装置の製造方法において、一対の第1の強誘電体キャパシタに同一の分極値を書き込む工程は、通常の動作時において一対の第1の強誘電体キャパシタの両電極間に印加される電圧よりも高い書き込み電圧を印加する工程を含むことが好ましい。

## 【0035】

このようにすると、製造工程において形成されるヒステリシス曲線のシフト量を、通常の動作時において生じるヒステリシス曲線のシフト量よりも大きくすることができる。また、ヒステリシス曲線が既にシフトしている第1の強誘電体キャパシタにおいては、通常動作時において読み出し電圧が印加されても、ヒステリシス曲線の初期状態への復帰傾向は小さくなるので、半導体記憶装置の動作が安定する。

## 【0036】

本発明に係る第1の半導体記憶装置の製造方法において、一対の第1の強誘電体キャパシタを加熱する工程は、通常の動作時において一対の第1の強誘電体キ

ヤパシタが達する温度よりも高い温度で行なわれることが好ましい。

## 【0037】

このようにすると、製造工程において形成されるヒステリシス曲線のシフト量を、通常の動作時において生じるヒステリシス曲線のシフト量よりも大きくすることができる。また、ヒステリシス曲線が既にシフトしている第1の強誘電体キャパシタにおいては、通常動作時において読み出し電圧が印加されても、ヒステリシス曲線の初期状態への復帰傾向は小さくなるので、半導体記憶装置の動作が安定する。

## 【0038】

本発明に係る第2の半導体記憶装置の製造方法は、データを分極値として記憶する第1の強誘電体キャパシタを有する複数のメモリセルを備え、複数のメモリセルのうちデータを読み出すメモリセルを構成する第1の強誘電体キャパシタの両電極間に読み出し電圧を印加して第1の強誘電体キャパシタの分極値を検出すことにより、第1の強誘電体キャパシタに記憶されているデータを読み出す半導体記憶装置であって、第1の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしており、複数のメモリセルのそれぞれは、データとして二値データを記憶する1つの第1の強誘電体キャパシタを有し、二値データを分極値として記憶する第2の強誘電体キャパシタを有するリファレンスセルと、第1の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの第1の強誘電体キャパシタの分極値と、第2の強誘電体キャパシタの両電極間に読み出し電圧が印加されたときの第2の強誘電体キャパシタの分極値とを比較して、第1の強誘電体キャパシタに記憶されている二値データを出力する手段とを備え、第2の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしている半導体記憶装置の製造方法を対象とし、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタに同一の分極値を書き込んだ後、同一の分極値が書き込まれた第1及び第2の強誘電体キャパシタを加熱することにより、第1及び第2の強誘電体キャパシタのヒステリシス曲線を読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えている。

## 【0039】

本発明に係る第2の半導体記憶装置の製造方法によると、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタに同一の分極値を書き込んだ後、該第1及び第2の強誘電体キャパシタを加熱することにより、該第1及び第2の強誘電体キャパシタのヒステリシス曲線を、読み出し電圧の極性と逆の電圧側にシフトさせる工程を備えているため、保存するデータを記憶するためのメモリセルのほかに、リファレンスデータを記憶するリファレンスセルを有する、いわゆる1T1C型の半導体記憶装置を製造する工程において、第1及び第2の強誘電体キャパシタのヒステリシス曲線を読み出し電圧の極性と逆の電圧側に確実にシフトさせることができる。

## 【0040】

本発明に係る第2の半導体記憶装置の製造方法において、第1及び第2の強誘電体キャパシタに同一の分極値を書き込む工程は、通常の動作時において第1及び第2の強誘電体キャパシタの両電極間に印加される電圧よりも高い書き込み電圧を印加する工程を含むことが好ましい。

## 【0041】

このようにすると、製造工程において形成されるヒステリシス曲線のシフト量を、通常の動作時において生じるヒステリシス曲線のシフト量よりも大きくすることができる。また、ヒステリシス曲線が既にシフトしている第1及び第2の強誘電体キャパシタにおいては、通常動作時において読み出し電圧が印加されても、ヒステリシス曲線の初期状態への復帰傾向は小さくなるので、半導体記憶装置の動作が安定する。

## 【0042】

本発明に係る第2の半導体記憶装置の製造方法において、第1及び第2の強誘電体キャパシタを加熱する工程は、通常の動作時において第1及び第2の強誘電体キャパシタが達する温度よりも高い温度で行なわれることが好ましい。

## 【0043】

このようにすると、製造工程において形成されるヒステリシス曲線のシフト量を、通常の動作時において生じるヒステリシス曲線のシフト量よりも大きくすることができる。また、ヒステリシス曲線が既にシフトしている第1及び第2の強

誘電体キャパシタにおいては、通常動作時において読み出し電圧が印加されても、ヒステリシス曲線の初期状態への復帰傾向は小さくなるので、半導体記憶装置の動作が安定する。

## 【0044】

本発明に係る半導体記憶装置の駆動方法は、データを分極値として記憶する第1の強誘電体キャパシタを有する複数のメモリセルを備え、複数のメモリセルのうちデータを読み出すメモリセルを構成する第1の強誘電体キャパシタの両電極間に読み出し電圧を印加して第1の強誘電体キャパシタの分極値を検出することにより、第1の強誘電体キャパシタに記憶されているデータを読み出す半導体記憶装置であって、第1の強誘電体キャパシタのヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしている半導体記憶装置の駆動方法を対象とし、データは二値データであり、二値データの一方を記憶するときの第1の強誘電体キャパシタの分極の第1の絶対値と、二値データの他方を記憶するときの第1の強誘電体キャパシタの分極の第2の絶対値とが異なるように、第1の強誘電体キャパシタの両電極に書き込み電圧を印加する工程を備えている。

## 【0045】

本発明に係る半導体記憶装置の駆動方法によると、二値データを書き込む際に分極が反転するドメインを低減できるため、強誘電体膜の疲労劣化を抑制できるので、半導体記憶装置の信頼性を向上させることができる。

## 【0046】

この場合、第1の絶対値及び第2の絶対値のうち大きい方と対応する書き込み電圧の極性と読み出し電圧の極性とは互いに等しいことが好ましい。

## 【0047】

このようにすると、第1の強誘電体キャパシタが高温下に置かれた場合、第1の絶対値及び第2の絶対値のうち大きい方の第1の強誘電体キャパシタのヒステリシス曲線は読み出し電圧の極性と逆方向（以下、A方向と称する）に大きくシフトし、第1の絶対値及び第2の絶対値のうち小さい方の第1の強誘電体キャパシタのヒステリシス曲線は読み出し電圧の極性と同方向（以下、B方向と称する）に小さくシフトする。ヒステリシス曲線のA方向のシフトは読み出し電荷量を

ほとんど変化させないので、大きくシフトしても問題ない。また、ヒステリシス曲線のB方向のシフトは読み出し電荷量を敏感に変化させるが、シフト量が小さいので特に問題はない。従って、高温下における第1の強誘電体キャパシタのヒステリシス曲線の変化が読み出し電荷量の変化に与える影響を抑制できるため、半導体記憶装置の動作が安定する。尚、本構成とは逆に、第1の絶対値及び第2の絶対値のうち小さい方と対応する書き込み電圧の極性と読み出し電圧の極性とを等しくすると、第1の強誘電体キャパシタが高温下に置かれた場合、ヒステリシス曲線の変化が読み出し電荷量の変化に大きく影響を与えるため、動作マージンの低下がもたらされてしまう。

## 【0048】

本発明に係る半導体記憶装置の駆動方法において、第1の絶対値及び第2の絶対値のうち小さい方の値は、ほぼ零であることが好ましい。

## 【0049】

このようにすると、第1の絶対値及び第2の絶対値のうちの小さい方、つまりほぼ零である分極値を記憶している第1の強誘電体キャパシタが高温下に置かれても、ヒステリシス曲線はシフトしないため、半導体記憶装置の動作が安定する。

## 【0050】

本発明に係る半導体記憶装置の駆動方法において、第1の強誘電体キャパシタの分極が第1の絶対値となる第1の書き込み電圧と、第1の強誘電体キャパシタの分極が第2の絶対値となる第2の書き込み電圧とは、異なる電圧源から供給されることが好ましい。

## 【0051】

このようにすると、二値データの一方を書き込むときの電圧と二値データの他方を書き込むときの電圧とを異ならせることができるために、二値データの書き込み動作が容易になる。

## 【0052】

本発明に係る半導体記憶装置の駆動方法において、読み出し電圧は、第1の強誘電体キャパシタの抗電圧以下であることが好ましい。

## 【0053】

このようにすると、データの読み出し動作の前と後とで分極が反転しないため、記憶されていた分極が読み出し動作後も維持されるので、いわゆる非破壊方式の読み出し動作が可能になる。このため、データの読み出し動作後にデータの再書き込み動作を行なう必要がないので、読み出し速度の高速化を図ることができる。また、分極の反転に伴う強誘電体膜の疲労劣化を抑制できるため、読み出し可能回数を著しく増加させることができる。

## 【0054】

## 【発明の実施の形態】

## (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体記憶装置及びその駆動方法について、図1～図7を参照しながら説明する。

## 【0055】

図1、図2及び図3は、第1の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路を示しており、図1は強誘電体キャパシタに同一分極値を書き込む際のスイッチの切り替え状態を示し、図2は強誘電体キャパシタにデータを書き込む際のスイッチの切り替え状態を示し、図3は強誘電体キャパシタからデータを読み出す際のスイッチの切り替え状態を示している。

## 【0056】

図1、図2及び図3に示すように、メモリセルは、2つの強誘電体キャパシタC0、C1と2つのパストランジスタQ0、Q1とを有しており、いわゆる2T2C型のメモリセルである。強誘電体キャパシタC0の第1の電極はパストランジスタQ0のソースに接続され、強誘電体キャパシタC1の第1の電極はパストランジスタQ1のソースに接続され、強誘電体キャパシタC0、C1の第2の電極はセルプレート線CPに共通に接続されている。パストランジスタQ0のドレインはピット線BL0に接続され、パストランジスタQ1のドレインはピット線BL1に接続され、ピット線BL0のピット線容量はCBL0で表わされ、ピット線BL1のピット線容量はCBL1で表わされている。尚、ピット線容量CBL0とピット線容量CBL1とは互いに等しい。パストランジスタQ0のゲート

及びパストランジスタQ1のゲートはワード線WLに共通に接続されている。

【0057】

ピット線BL0、BL1の各一端部はスイッチSW11に接続されており、スイッチSW11の一方の端子はインバータINV0及びインバータINV1によるセンスアンプに接続されていると共に、スイッチSW11の他方の端子はアンドゲートAND0及びアンドゲートAND1にそれぞれ接続されている。センスアンプを構成するインバータINV0、INV1の電源供給線VDDにはスイッチSW12が接続されていると共に、センスアンプの出力はアンドゲートAND0、AND1及びスイッチSW13に接続されている。

【0058】

スイッチSW13の一方の端子は電源(VDD)に接続されていると共に、スイッチの他方の端子はデータ入出力ポートとなっている。また、アンドゲートAND0、AND1には書き込み起動信号PDWが接続され、アンドゲートAND0、AND1の電源はVDWである。

【0059】

ワード線WLには、ワード線起動信号PWLに対応してバッファBUF1からVPPレベルのパルスが印加され、プレート線CPにはプレート線起動信号PCPに対応してバッファBUF2からVDDレベルのパルスが印加される。

【0060】

スイッチSW11、SW12、SW13は、強誘電体キャパシタに対する動作に応じて切り替えられ、図1は2T2C型メモリセルを構成する2つの強誘電体キャパシタに同一分極値を書き込む際のスイッチ状態を示し、図2は2つの強誘電体キャパシタにデータを書き込む際のスイッチ状態を示し、図3は2つの強誘電体キャパシタからデータを読み出す際のスイッチ状態を示している。

【0061】

＜同一分極値の書き込み工程＞

以下、拡散及び検査の工程を終えた半導体記憶装置における、2T2C型メモリセルを構成する2つの強誘電体キャパシタに同一の分極値を書き込む工程について説明する。同一の分極値の書き込みは、ピット線BL0、BL1をロー電位

としておいてから、図1に示すスイッチ状態で、図4(a)に示す電圧パルスを印加する。

#### 【0062】

まず、ワード線起動信号PWLの印加により、バッファBUF1はワード線WLに正電圧のパルス(VPPレベル、例えば3.3V)を印加してパストランジスタQ0, Q1を導通状態にする。この状態で、プレート線起動信号PCPを印加して、バッファBUF2からプレート線CPに正電圧のパルス(VDDレベル、例えば1.8V)を出力する。このようにすると、2つの強誘電体キャパシタC0, C1にはプレート線CPから電圧VDDが印加された後に除去されるため、2つの強誘電体キャパシタC0, C1にはプレート線CPにより上向きの分極が書き込まれる。

#### 【0063】

図5は、強誘電体キャパシタC0, C1の分極のヒステリシス特性を示しており、図5においては、プレート線CPに正電圧のパルスを印加する場合に、電圧軸の方向を正とすると共に分極の方向が上向きを正にしている。図4(a)に示すパルスを印加すると、強誘電体キャパシタC0, C1の分極値は点10に位置する。

#### 【0064】

この同一分極値の書き込み工程を、半導体記憶装置におけるすべてのメモリセルの強誘電体キャパシタに対して行なって、すべての強誘電体キャパシタに正の分極値を書き込む。この時点における2つの強誘電体キャパシタC0, C1の分極ヒステリシス曲線は、図5の破線11で示すように原点に対して対称である。

#### 【0065】

##### 〈高温保存工程〉

以下、同一分極値の書き込み工程が終了した半導体記憶装置に対して高温保存工程を行なう。

#### 【0066】

すなわち、半導体記憶装置の動作温度仕様(例えば、-20~+85°C)よりも高温(例えば、150°C)の炉に半導体記憶装置を投入し、この状態で長時間

(例えば、10時間) 保存する。全ての強誘電体キャパシタは正の分極状態であるから、ヒステリシス曲線は図5の実線12のように負電圧方向にシフトする。

#### 【0067】

半導体記憶装置は、前記の同一分極値の書き込み工程及び高温保存工程を施されて、すべての強誘電体キャパシタのヒステリシス曲線が負電圧方向にシフトされた状態で出荷される。

#### 【0068】

##### 〈データの書き込み動作〉

以下、データの書き込み動作について説明する。データの書き込み動作は、すべての強誘電体キャパシタのヒステリシス曲線が負電圧方向にシフトされた半導体記憶装置に対して行なわれる。データの書き込み動作においては、図2に示すスイッチ状態で、図4(b)に示す電圧パルスを印加する。

#### 【0069】

まず、ワード線起動信号PWLの印加により、バッファBUF1はワード線WLに正電圧のパルス(VPPレベル、例えば3.3V)を印加してパストランジスタQ0, Q1を導通状態にする。この状態で、プレート線起動信号PCPを印加して、バッファBUF2からプレート線CPに正電圧のパルス(VDDレベル、例えば1.8V)を出力する。

#### 【0070】

次に、書き込みデータが“0”である場合には、図4(b)において実線で示すように、データ入出力ポートDL0にロー電圧を印加し且つデータ入出力ポートDL1にハイ電圧を印加する一方、書き込みデータが“1”である場合には、図4(b)において破線で示すように、データ入出力ポートDL0にハイ電圧を印加し且つデータ入出力ポートDL1にロー電圧を印加した状態で、アンドゲートAND0又はアンドゲートAND1に書き込み起動信号PDWを印加する。ハイ電圧が印加されたデータ入出力ポートDL0, DL1に接続されたアンドゲートAND0又はAND1は、書き込み起動信号PDWに同期して正電圧のパルス(VDWレベル、例えば1.0V)をビット線BL0又はBL1に出力する。

#### 【0071】

以上の書き込み動作においては、プレート線CPに正電圧を印加する場合は強誘電体キャパシタの分極が飽和するような電圧（VDD=1.8V）を印加し、ビット線BL0又はBL1に正電圧を印加する場合は強誘電体キャパシタの分極が零となるような電圧（VDW=1.0V）を選ぶ。すなわち、データ“0”を書き込む場合には、強誘電体キャパシタC0, C1の分極は、図6に示す分極ヒステリシス曲線13上の点10及び点14に位置し、データ“1”を書き込む場合には、強誘電体キャパシタC0, C1の分極は、図6に示す分極ヒステリシス曲線13上の点14及び点10に位置する。このようにして、2つの強誘電体キャパシタC0, C1には、正の分極値と零の分極値とが相補的に書き込まれる。

## 【0072】

## &lt;データの読み出し動作&gt;

以下、データの読み出し動作について説明する。データの読み出し動作は、予めビット線BL0, BL1をロー電位にプリチャージしておいてから、図3に示すスイッチ状態で、図4(c)に示す電圧パルスを印加する。

## 【0073】

まず、ワード線起動信号PWLの印加により、バッファBUF1はワード線WLに正電圧のパルス（VPPレベル、例えば3.3V）を印加してパストランジスタQ0, Q1を導通状態にする。この状態で、プレート線起動信号PCPを印加して、バッファBUF2からプレート線CPに正電圧のパルス（VDDレベル、例えば1.8V）を出力する。このようにすると、分極が点10にあった強誘電体キャパシタC0, C1の分極位置は図7(a)に示す軌跡15を描いて点16に達する。一方、分極が点14にあった強誘電体キャパシタC0, C1の分極位置は図7(b)に示す軌跡17を描いて点18に達する。

## 【0074】

初期の分極状態の点10と新たな分極状態の点16との差及び初期の分極状態の点14と新たな分極状態の点18との差に相当する電荷が、ビット線BL0のビット線容量CBL0及びビット線BL1のビット線容量CBL1に発生する。この電荷がビット線容量CBL0, CBL1により電圧変換されたビット線電位をクロスカップルドインバータINV0, INV1よりなるセンスアンプにより

データ入出力ポートD L 0, D L 1に増幅して出力する。

## 【0075】

すなわち、強誘電体キャパシタC 0, C 1に記憶された分極の位置が点1 0及び点1 4にあった場合、ビット線B L 0に発生する電荷（点1 6－点1 0）はビット線B L 1に発生する電荷（点1 8－点1 4）よりも小さいので、ビット線B L 0はロー電位を出力する。一方、強誘電体キャパシタC 0, C 1に記憶された分極の位置が点1 4及び点1 0にあった場合、ビット線B L 0に発生する電荷（点1 8－点1 4）はビット線B L 1に発生する電荷（点1 6－点1 0）よりも大きいので、ビット線B L 0はハイ電位を出力する。

## 【0076】

前者のように記憶された分極状態はデータ“0”に相当するので、ビット線B L 0からのロー電位の出力をデータ“0”と判定し、後者のように記憶された分極状態はデータ“1”に相当するので、ビット線B L 0からのハイ電位の出力をデータ“1”と判定することにより、データ読み出しが正しく行われる。

## 【0077】

データの読み出し後に、プレート線C Pはロー電位に復帰される。このとき、2つの強誘電体キャパシタC 0, C 1の分極は、図7(a)における軌跡1 3又は図7(b)における軌跡1 9を描いて、点1 0又は点2 0に達する。

## 【0078】

以上の動作により、データの読み出し動作の開始前には分極値が相補的に記憶されていたが、データの読み出し動作により同一極性の分極状態になる破壊読み出し動作となっている。

## 【0079】

従って、図4(c)において矢印で示したSW切り替えタイミングでスイッチS W1 2を右側に切り替えて、アンドゲートAND0とビット線B L 0とを接続すると共にアンドゲートAND1とビット線B L 1とを接続して、プレート線起動信号P C P及び書き込み起動信号P D Wを印加する。このとき、センスアンプは読み出されたデータをラッチしているため、前述のデータ書き込み動作と同様の動作を行なうことにより、データは強誘電体キャパシタに再度書き込まれるので

、読み出し動作開始前の相補的な分極状態に復帰し、読み出し動作は完了する。

【0080】

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体記憶装置及びその駆動方法について、図8～図16を参照しながら説明する。

【0081】

図8、図9及び図10は、第2の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路を示しており、図8は強誘電体キャパシタに同一分極値を書き込む際のスイッチの切り替え状態を示し、図9は強誘電体キャパシタにデータを書き込む際のスイッチの切り替え状態を示し、図10は強誘電体キャパシタからデータを読み出す際のスイッチの切り替え状態を示している。

【0082】

図8、図9及び図10に示すように、複数のメモリセルがワード線方向及びビット線方向にマトリックス状に配置されており、第1のメモリセルは、強誘電体キャパシタC00, C01とパストランジスタQ00, Q01とを有する2T2C型のメモリセルであり、第2のメモリセルは、強誘電体キャパシタC10, C11とパストランジスタQ10, Q11とを有する2T2C型のメモリセルである。強誘電体キャパシタC00, C01, C10, C11の第1の電極は対応するパストランジスタQ00, Q01, Q10, Q11のソースにそれぞれ接続され、強誘電体キャパシタC00, C01の第2の電極はセルプレート線CP0に共通に接続され、強誘電体キャパシタC10, C11の第2の電極はセルプレート線CP1に共通に接続されている。パストランジスタQ00, Q10のドレインはサブビット線SBL0に共通に接続され、パストランジスタQ01, Q11のドレインはサブビット線SBL1に共通に接続されている。サブビット線SBL0の一端にはゲイントランジスタQG0のゲート及びリセットトランジスタQR0のドレインが接続され、サブビット線SBL1の一端にはゲイントランジスタQG1のゲート及びリセットトランジスタQR1のドレインが接続されている。ゲイントランジスタQG0, QG1のドレインはビット線BL0, BL1に接続され、ゲイントランジスタQG0, QG1のソースはリセット線RSTに接続

され、リセットトランジスタQR0, QR1のゲートは読み出しセル選択線REに接続され、リセットトランジスタQR0, QR1のソースはリセット線RSTに接続されている。ビット線BL0, BL1の一端には、電源(VDD)供給線との間にスイッチSW21が挿入されているインバータINV0, INV1によるセンスアンプと、スイッチSW22とが接続されており、スイッチSW22によって接地電位(VSS)又はデータ入出力ポートが選択できる。センスアンプの出力及び起動信号PDWBはノアゲートNOR0, NOR1に入力され、ノアゲートNOR0, NOR1の電源はVDWである。プレート線CP0, CP1を駆動するバッファBUF02, BUF12の電源には、スイッチSW23及びCP電圧供給線を介して、電源電圧VDD又は読み出し電圧VRDが供給される。

#### 【0083】

##### ＜同一分極値の書き込み工程＞

以下、拡散及び検査の工程を終えた半導体記憶装置における、2T2C型メモリセルを構成する2つの強誘電体キャパシタに同一の分極値を書き込む工程について説明する。同一の分極値の書き込みは、ビット線BL0, BL1をロー電位としておいてから、図8に示すスイッチ状態で、図11に示す電圧パルスを印加する。

#### 【0084】

まず、ワード線起動信号PWL0の印加により、バッファBUF01はワード線WL0に正電圧のパルス(VPPレベル、例えば3.3V)を印加してパストランジスタQ00, Q01を導通状態にする。この状態で、プレート線起動信号PCP0を印加して、バッファBUF02からプレート線CP0に正電圧のパルス(VDDレベル、例えば1.8V)を出力する。このようにすると、2つの強誘電体キャパシタC00, C01にはプレート線CP0から電圧VDDが印加された後に除去されるため、2つの強誘電体キャパシタC00, C01にはプレート線CP0により上向きの分極が書き込まれる。

#### 【0085】

図14は、強誘電体キャパシタC00, C01の分極のヒステリシス特性を示

しており、図14においては、プレート線CPOに正電圧のパルスを印加する場合に、電圧軸の方向を正とすると共に分極の方向が上向きを正にしている。図11に示すパルスを印加すると、強誘電体キャパシタC00, C01の分極値は点30に位置する。

## 【0086】

この同一分極値の書き込み工程を、半導体記憶装置におけるすべてのメモリセルの強誘電体キャパシタに対して行なって、すべての強誘電体キャパシタに正の分極値を書き込む。この時点における2つの強誘電体キャパシタC00, C01及び2つの強誘電体キャパシタC10, C11の分極ヒステリシス曲線は、図14の破線31で示すように原点に対して対称である。

## 【0087】

## &lt;高温保存工程&gt;

以下、同一分極値の書き込み工程が終了した半導体記憶装置に対して高温保存工程を行なう。

## 【0088】

すなわち、半導体記憶装置の動作温度仕様（例えば、-20～+85°C）よりも高温（例えば、150°C）の炉に半導体記憶装置を投入し、この状態で長時間（例えば、10時間）保存する。全ての強誘電体キャパシタは正の分極状態であるから、ヒステリシス曲線は、図14の実線32のように負電圧方向にシフトする。

## 【0089】

半導体記憶装置は、前記の同一分極値の書き込み工程及び高温保存工程を施されて、すべての強誘電体キャパシタのヒステリシス曲線が負電圧方向にシフトされた状態で出荷される。

## 【0090】

## &lt;データの書き込み動作&gt;

以下、データの書き込み動作について説明する。データの書き込み動作は、すべての強誘電体キャパシタのヒステリシス曲線が負電圧方向にシフトされた半導体記憶装置に対して行なわれる。データの書き込み動作においては、図9に示す

スイッチ状態で、図12に示す電圧パルスを印加する。

【0091】

まず、ワード線起動信号PWL0の印加により、バッファBUF01はワード線WL0に正電圧のパルス（VPPレベル、例えば3.3V）を印加してパストランジスタQ00, Q01を導通状態にする。この状態で、プレート線起動信号PCP0を印加して、バッファBUF02からプレート線CP0に正電圧のパルス（VDDレベル、例えば1.8V）を出力する。

【0092】

次に、書き込みデータが“0”である場合には、図12において破線で示すように、データ入出力ポートDL0にロー電圧を印加し且つデータ入出力ポートDL1にハイ電圧を印加する一方、書き込みデータが“1”である場合には、図12において実線で示すように、データ入出力ポートDL0にハイ電圧を印加し且つデータ入出力ポートDL1にロー電圧を印加した状態で、ノアゲートNOR0又はノアゲートNOR1に書き込み起動信号PDWBを印加する。ロー電圧が印加されたデータ入出力ポートDL0, DL1に接続されたノアゲートNOR0又はNOR1は、書き込み起動信号PDWBに同期して正電圧のパルス（VDWレベル、例えば1.0V）をリセット線RST0又はRST1に出力する。

【0093】

以上の書き込み動作においては、プレート線CP0に正電圧を印加する場合は強誘電体キャパシタの分極が飽和するような電圧（VDD=1.8V）を印加し、リセット線RST0又はRST1に正電圧を印加する場合は強誘電体キャパシタの分極が零となるような電圧（VDW=1.0V）を選ぶ。すなわち、データ“0”を書き込む場合には、強誘電体キャパシタC00, C01の分極は、図15に示す分極ヒステリシス曲線33上の点34及び点30に位置し、データ“1”を書き込む場合には、強誘電体キャパシタC00, C01の分極は、分極ヒステリシス曲線33上の点30及び点34に位置する。このようにして、2つの強誘電体キャパシタC00, C01には、正の分極値と零の分極値とが相補的に書き込まれる。

【0094】

## &lt;データの読み出し動作&gt;

以下、データの読み出し動作について説明する。データの読み出し動作は、予めビット線B L 0, B L 1をロー電位にプリチャージしておくと共に、書き込み起動信号P D W Bにハイ信号を入力してリセット線R S T 0, R S T 1をロー電位にしておいてから、図10に示すスイッチ状態で、図13に示す電圧パルスを印加する。

## 【0095】

まず、ワード線起動信号P W L 0の印加により、バッファB U F 0 1はワード線W L 0に正電圧のパルス (V P P レベル、例えば3. 3 V) を印加してパストランジスタQ 0 0, Q 0 1を導通状態にする。この状態で、R E 線起動信号P R Eの印加により、バッファB U F Rは読み出しセル選択線R Eをロー電位にしてリセットトランジスタQ R 0, Q R 1をオフにする。

## 【0096】

次に、プレート線起動信号P C P 0の印加により、バッファB U F 0 2はプレート線C P 0に正電圧パルス (V R D レベル、例えば1. 2 V) を出力する。このようにすると、サブビット線S B L 0, S B L 1には強誘電体キャパシタC 0 0, C 0 1の容量とゲイントランジスタQ G 0, Q G 1のゲート容量とで容量分割された電位が発生する。この場合、記録されていた分極値が零である強誘電体キャパシタにかかる電圧が、強誘電体膜の抗電圧を超えないように、読み出し電圧V R D 値及びゲイントランジスタQ G 0, Q G 1のゲート容量を設定しておく。このようにすると、分極が点3 0にあった強誘電体キャパシタC 0 0, C 0 1の分極位置は図16(a)に示す軌跡3 5を描いて点3 6に達する。一方、分極が点3 4にあった強誘電体キャパシタC 0 0, C 0 1の分極位置は図16(b)に示す軌跡3 7を描いて点3 8に達する。

## 【0097】

初期の分極状態の点3 0と新たな分極状態の点3 6との差及び初期の分極状態の点3 4と新たな分極状態の点3 8との差に相当する電荷が、サブビット線S B L 0, S B L 1の容量に発生する。この電荷がゲート容量により電圧変換された電位に応じて、ゲイントランジスタQ G 0, Q G 1のドレイン・ソース間抵抗は

変化する。この電位の変化をビット線BL0, BL1の一端に接続されたクロスカップルドインバータINV0, INV1よりなるセンスアンプにより検出し、検出された電位をデータ入出力ポートDL0, DL1に増幅して出力する。

## 【0098】

すなわち、強誘電体キャパシタC00, C01に記憶された分極の位置が点30及び点34にあった場合、サブビット線SBL0に発生する電荷（点36－点30）はサブビット線SBL1に発生する電荷（点38－点34）よりも小さく、ゲイントランジスタQG0のドレイン・ソース間抵抗は大きいので、ビット線BL0はハイ電位を出力する。一方、強誘電体キャパシタC00, C01に記憶された分極の位置が点34及び点30にあった場合、サブビット線SBL0に発生する電荷（点38－点34）はサブビット線SBL1に発生する電荷（点36－点30）よりも大きく、ゲイントランジスタQG0のドレイン・ソース間抵抗は小さいので、ビット線BL0はロー電位を出力する。

## 【0099】

前者のように記憶された分極状態はデータ“1”に相当するので、ビット線BL0からのハイ電位の出力をデータ“1”と判定し、後者のように記憶された分極状態はデータ“0”に相当するので、ビット線BL0からのロー電位の出力をデータ“0”と判定することにより、データ読み出しが正しく行われる。

## 【0100】

データの読み出し後に、プレート線CP0はロー電位に復帰される。このとき、2つの強誘電体キャパシタC00, C01の分極は、図16(a)における軌跡35又は図16(b)における軌跡37を描いて、点30又は点40に達する。

## 【0101】

次に、読み出しセル選択線REをハイ電位にしてリセットトランジスタQR0, QR1をオンにすると、強誘電体キャパシタC00, C01の電極間電圧は零となるので、点40にあった強誘電体キャパシタC00, C01の分極は点34に移動する。

## 【0102】

以上の動作により、読み出し動作開始前に記憶されていた分極の位置である点

30及び点34が、読み出し動作後も同一分極となっているので、非破壊読み出し動作となっている。従って、第2の実施形態によると、データの読み出し動作後にデータを再書き込みする動作は不要になる。

【0103】

【発明の効果】

本発明に係る半導体記憶装置によると、読み出し電圧を印加した後においてヒステリシス曲線がシフトしないので、データを読み出す際のマージンが増加する。

【0104】

本発明に係る第1の半導体記憶装置の製造方法によると、いわゆる2T2C型の半導体記憶装置を製造する工程において、一対の第1の強誘電体キャパシタのヒステリシス曲線を読み出し電圧の極性と逆の電圧側に確実にシフトさせることができる。

【0105】

本発明に係る第2の半導体記憶装置の製造方法によると、いわゆる1T1C型の半導体記憶装置を製造する工程において、第1及び第2の強誘電体キャパシタのヒステリシス曲線を読み出し電圧の極性と逆の電圧側に確実にシフトさせることができる。

【0106】

本発明に係る半導体記憶装置の駆動方法によると、強誘電体膜の疲労劣化を抑制できるので、半導体記憶装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路であって、強誘電体キャパシタに同一分極値を書き込む際のスイッチの切り替え状態を示す図である。

【図2】

本発明の第1の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路であって、強誘電体キャパシタにデータを書き込む際のスイッチの切り替

え状態を示す図である。

【図3】

本発明の第1の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路であって、強誘電体キャパシタからデータを読み出す際のスイッチの切り替え状態を示す図である。

【図4】

(a)、(b) 及び(c) は、本発明の第1の実施形態に係る半導体記憶装置に印加する電圧パルスを示す図であって、(a) は同一分極値を書き込む場合を示し、(b) はデータを書き込む場合を示し、(c) はデータを読み出す場合を示している。

【図5】

本発明の第1の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタの分極のヒステリシス特性を示す図である。

【図6】

本発明の第1の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタにデータを書き込んだときの分極のヒステリシス特性を示す図である。

【図7】

(a) 及び(b) は、本発明の第1の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタからデータを読み出したときの分極のヒステリシス特性を示す図である。

【図8】

本発明の第2の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路であって、強誘電体キャパシタに同一分極値を書き込む際のスイッチの切り替え状態を示す図である。

【図9】

本発明の第2の実施形態に係る半導体記憶装置におけるメモリセル及びその周辺回路であって、強誘電体キャパシタにデータを書き込む際のスイッチの切り替え状態を示す図である。

【図10】

本発明の第2の実施形態に係る半導体記憶装置におけるメモリセル及びその周

迂回路であって、強誘電体キャパシタからデータを読み出す際のスイッチの切り替え状態を示す図である。

## 【図11】

本発明の第2の実施形態に係る半導体記憶装置に同一分極値を書き込む際に印加する電圧パルスを示す図である。

## 【図12】

本発明の第2の実施形態に係る半導体記憶装置にデータを書き込む際に印加する電圧パルスを示す図である。

## 【図13】

本発明の第2の実施形態に係る半導体記憶装置からデータを読み出す際に印加する電圧パルスを示す図である。

## 【図14】

本発明の第2の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタの分極のヒステリシス特性を示す図である。

## 【図15】

本発明の第2の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタにデータを書き込んだときの分極のヒステリシス特性を示す図である。

## 【図16】

(a) 及び(b) は、本発明の第2の実施形態に係る半導体記憶装置を構成する強誘電体キャパシタからデータを読み出したときの分極のヒステリシス特性を示す図である。

## 【図17】

従来の半導体記憶装置におけるメモリセル及びその周縁回路を示す図である。

## 【図18】

従来の半導体記憶装置を構成する強誘電体キャパシタの分極のヒステリシス特性を示す図である。

## 【図19】

従来の半導体記憶装置を構成する強誘電体キャパシタにデータを書き込んだときの分極のヒステリシス特性を示す図である。

## 【図20】

従来の半導体記憶装置を構成する強誘電体キャパシタからデータを読み出したときの分極のヒステリシス特性を示す図である。

## 【図21】

(a) 及び(b) は、従来の半導体記憶装置を構成する強誘電体キャパシタに相補データを書き込んだときの分極のヒステリシス特性を示す図である。

## 【符号の説明】

C0、C1 強誘電体キャパシタ

Q0、Q1 パストランジスタ

CP セルプレート線

BL0、BL1 ピット線

CBL0、CBL1 ピット線容量

WL ワード線

SW11、SW12、SW13 スイッチ

INV0、INV1 インバータ

BUF1、BUF2 バッファ

AND0、AND1 アンドゲート

SW11、SW12、SW13 スイッチ

DL0、DL1 データ入出力ポート

PWL ワード線起動信号

PCP プレート線起動信号

PDW 書き込み起動信号

C00、C01、C10、C11 強誘電体キャパシタ

Q00、Q01、Q10、Q11、パストランジスタ

QG0、QG1 ゲイントランジスタ

QR0、QR1 リセットトランジスタ

CP0、CP1 セルプレート線

BL0、BL1 ピット線

SBL0、SBL1 サブピット線

WL0、WL1 ワード線

RST リセット線

RE 読み出しセル選択線

SW21、SW22、SW23 スイッチ

INV0、INV1 インバータ

BUF01、BUF02、BUF11、BUF12 バッファ

NOR0、NOR1 ノアゲート

SW21、SW22、SW23 スイッチ

DL0、DL1 データ入出力ポート

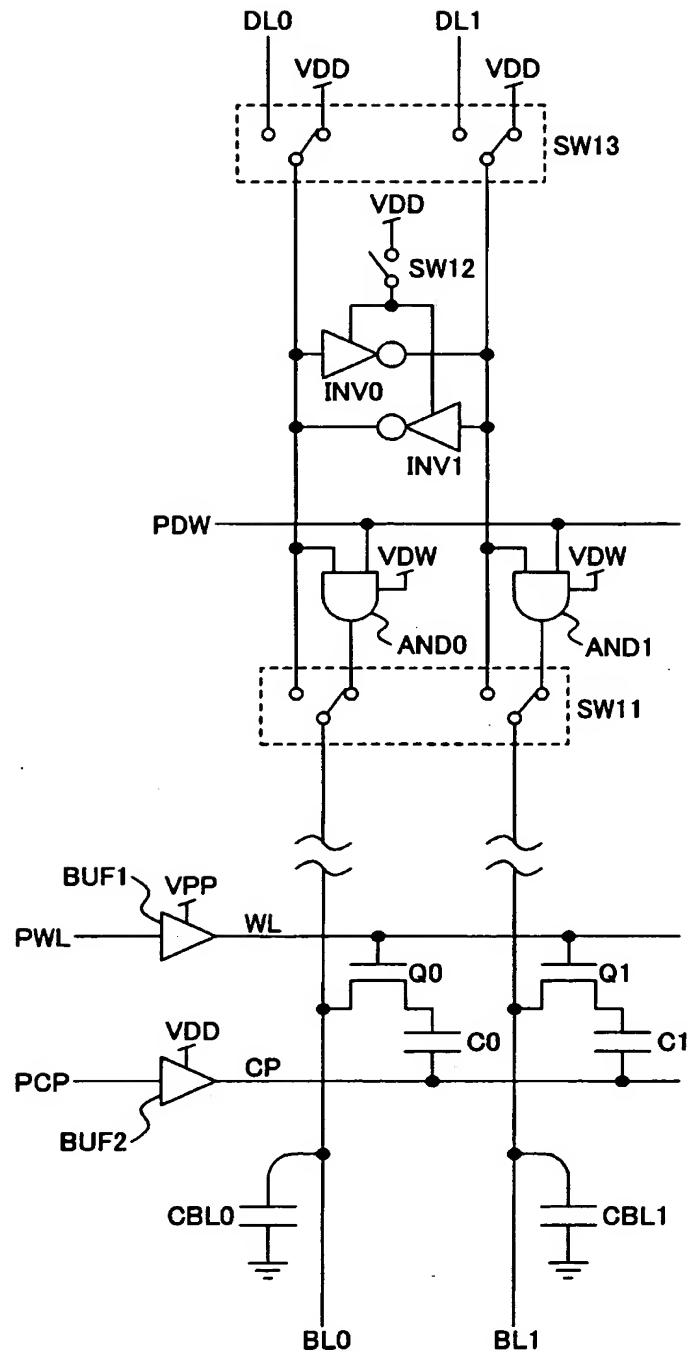
PWL0、PWL1 ワード線起動信号

PCP0、PCP1 プレート線起動信号

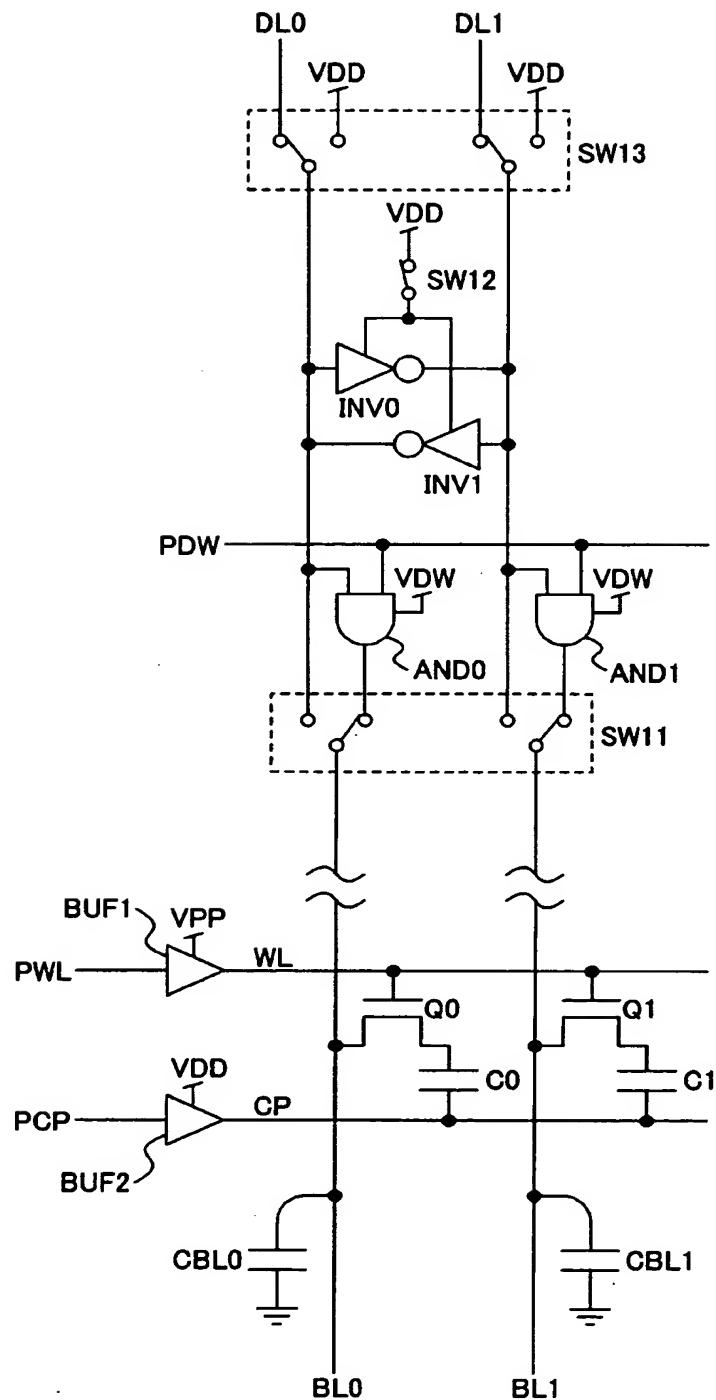
PDWB 書き込み起動信号

【書類名】 図面

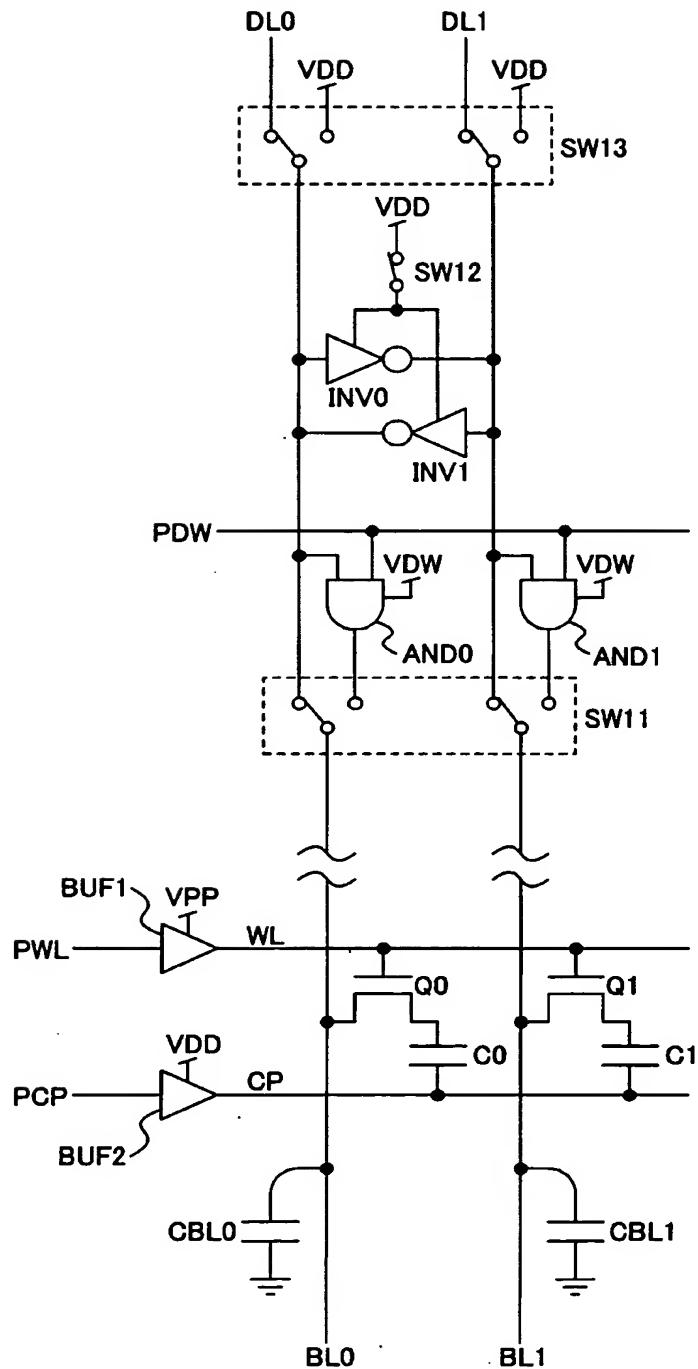
【図1】



【図2】

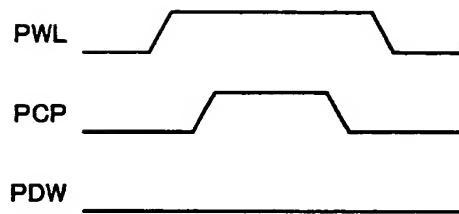


【図3】

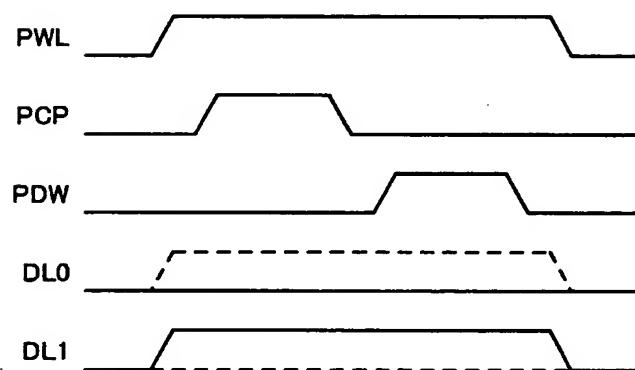


【図4】

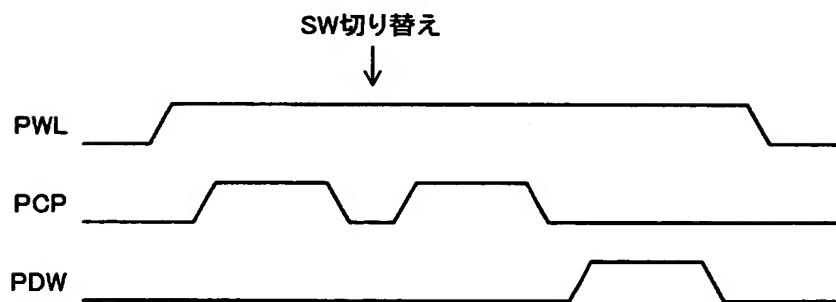
(a)



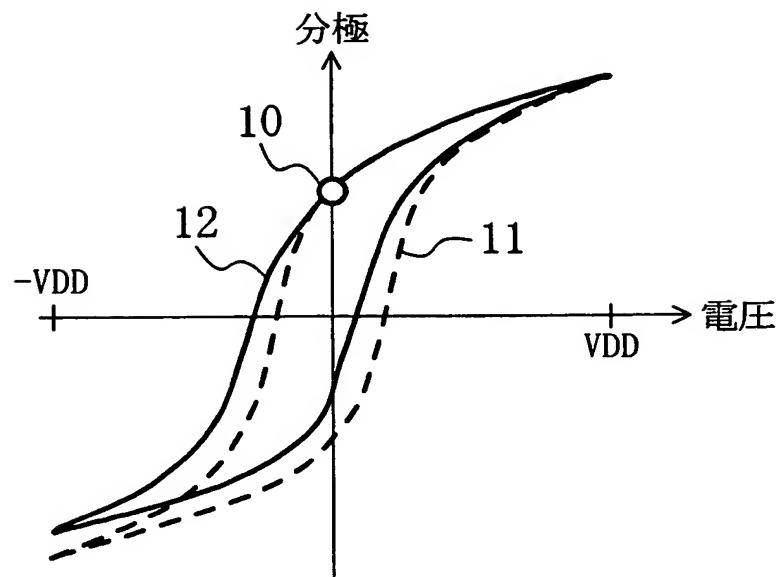
(b)



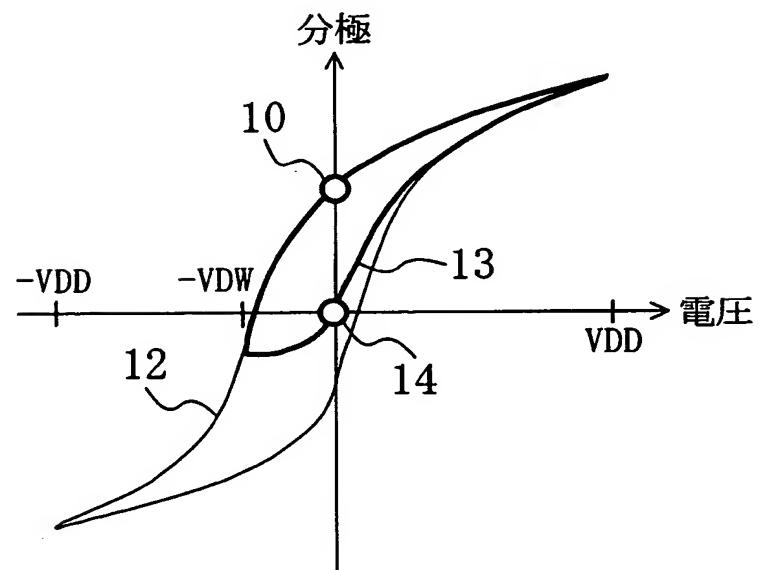
(c)



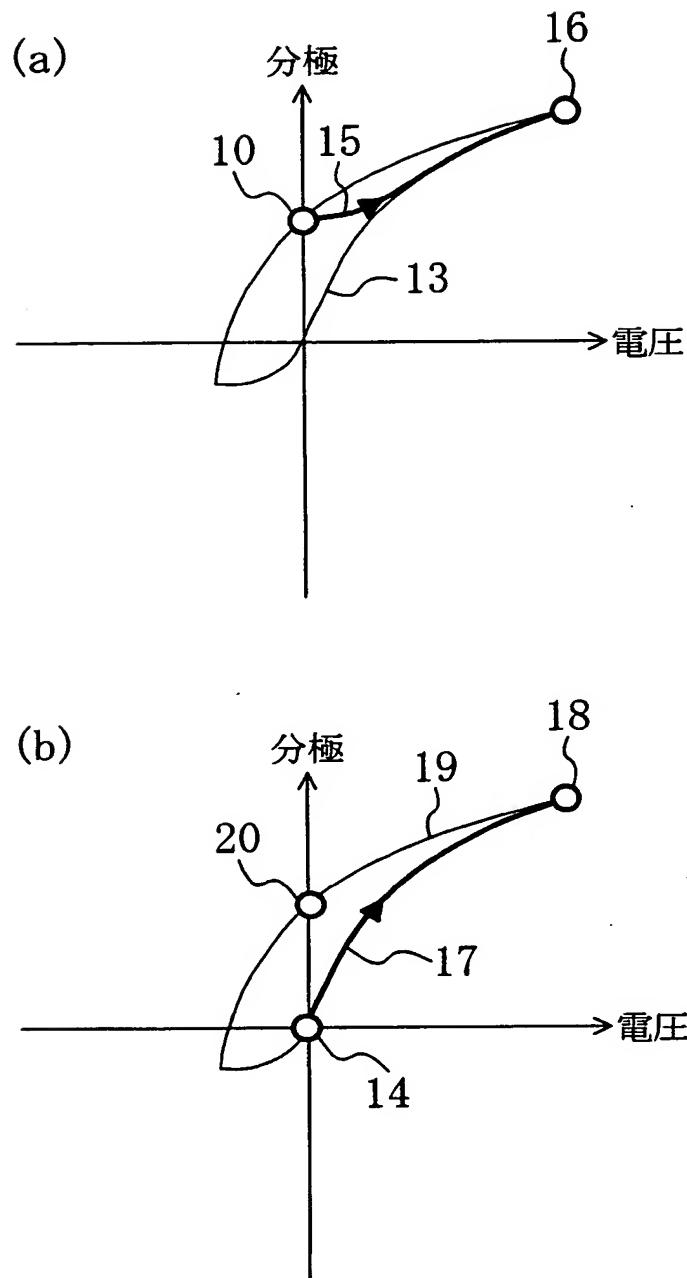
【図5】



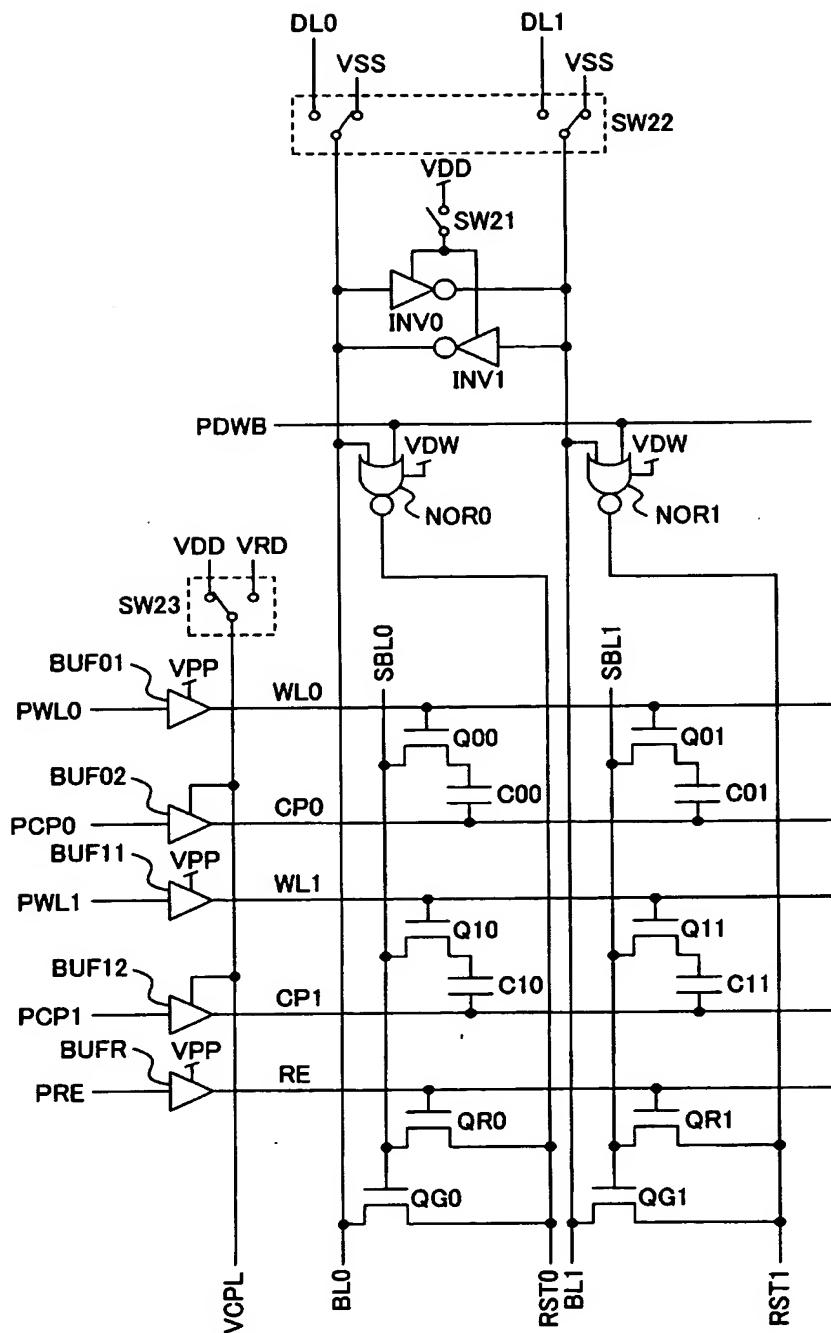
【図6】



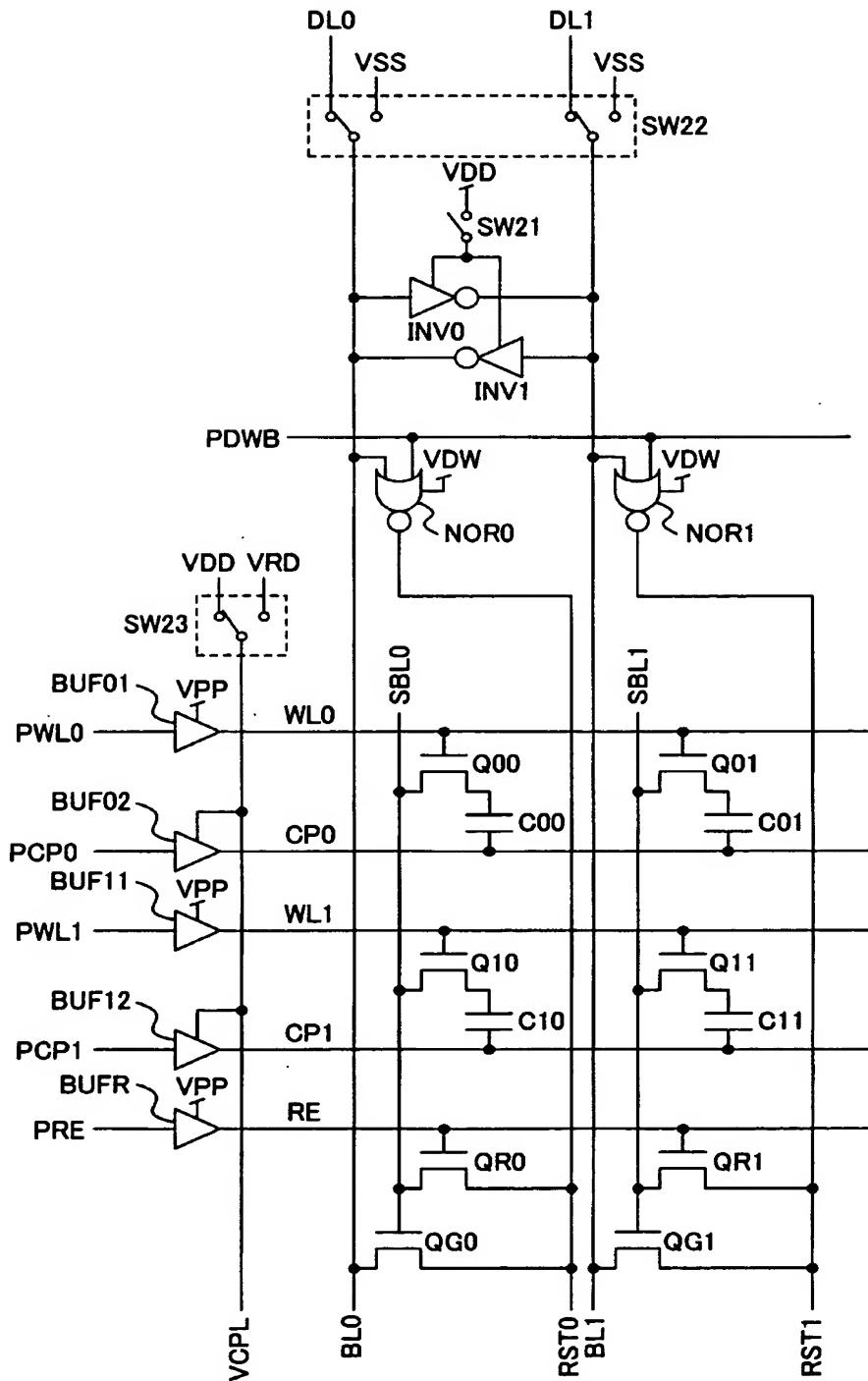
【図7】



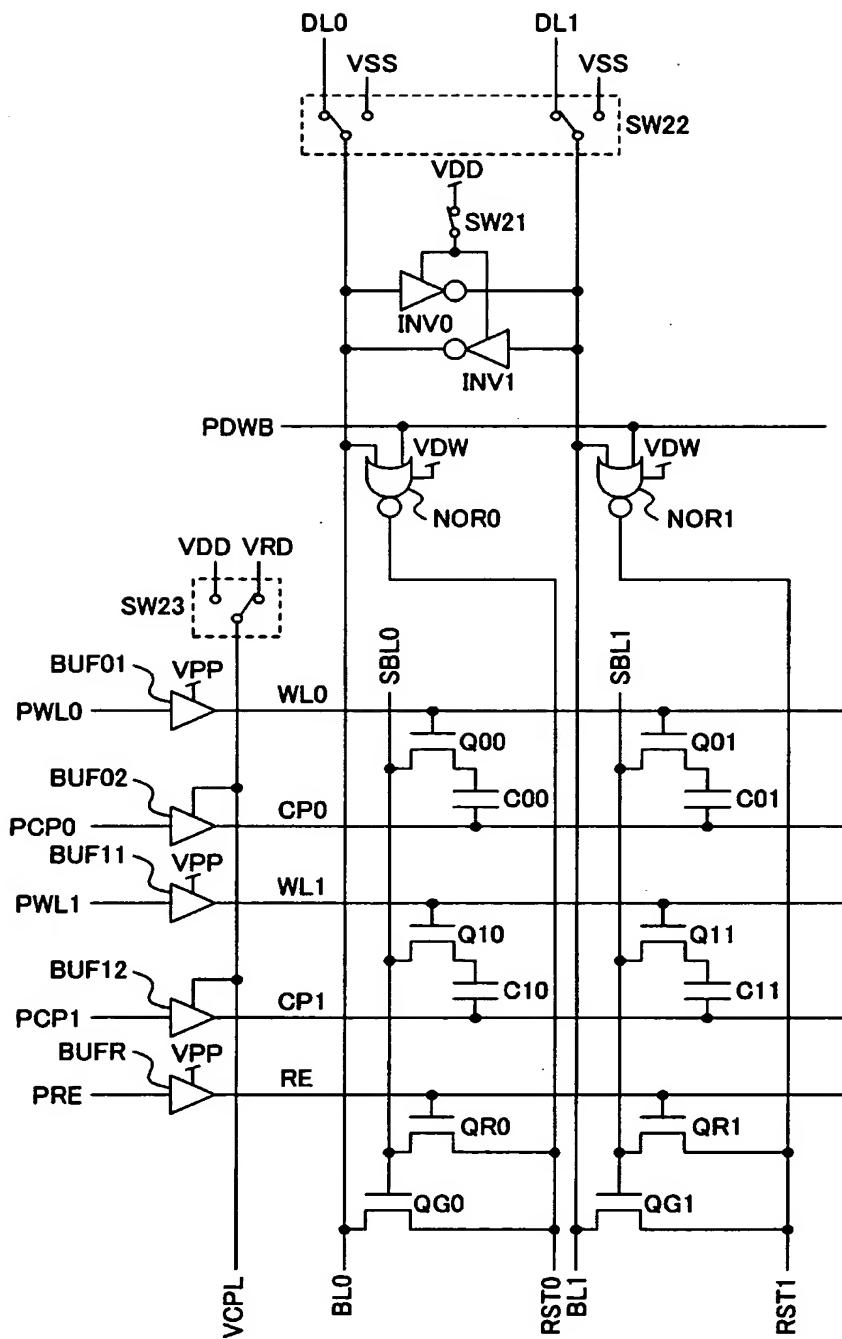
【図8】



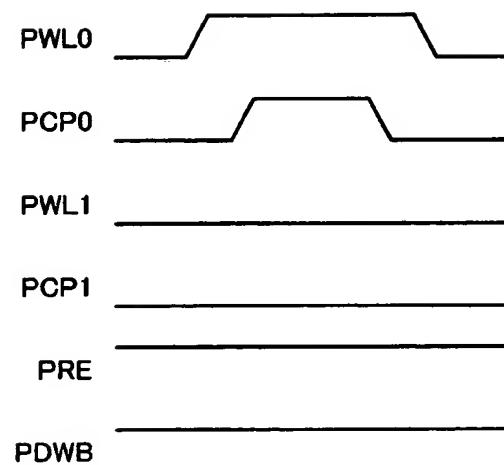
【図9】



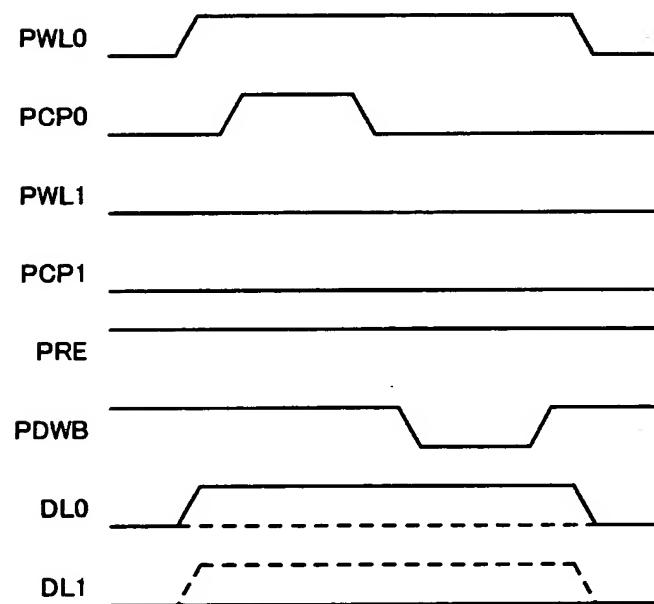
【図10】



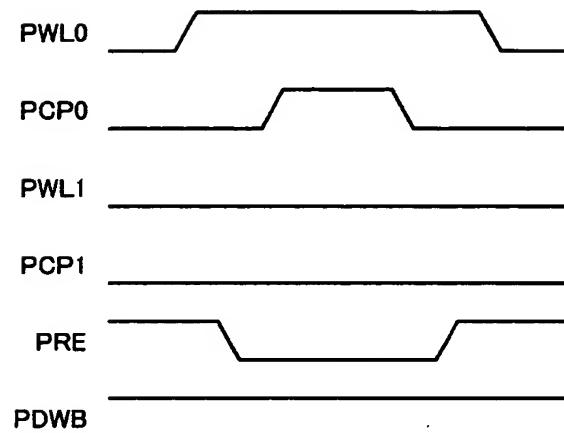
【図11】



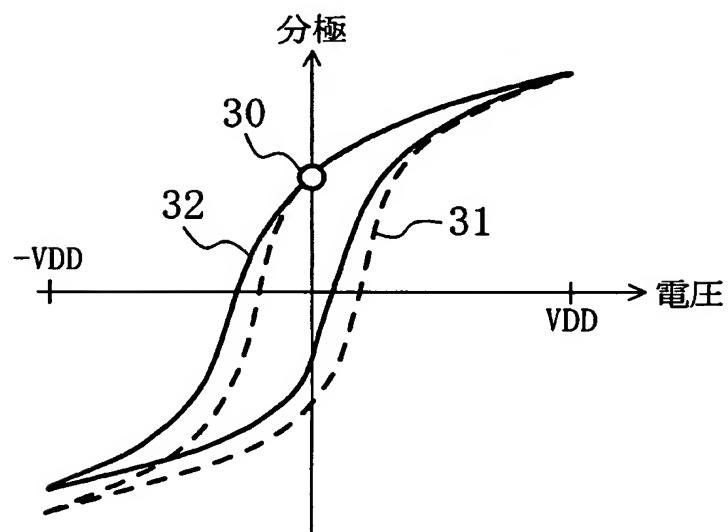
【図12】



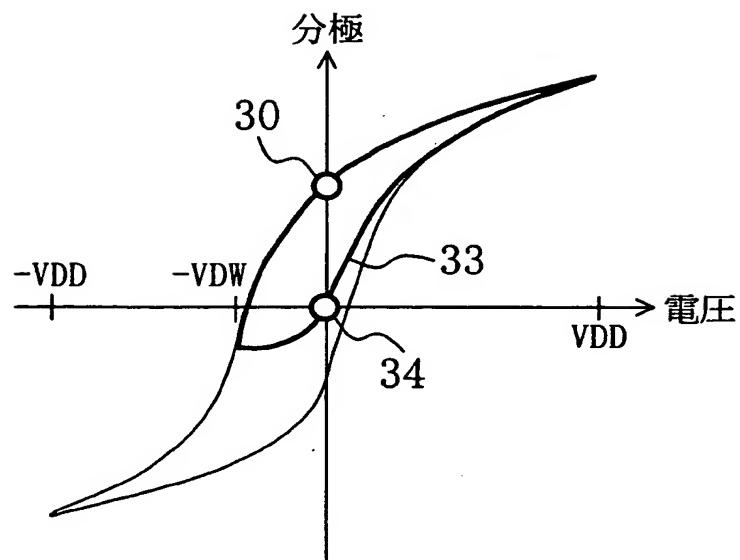
【図13】



【図14】

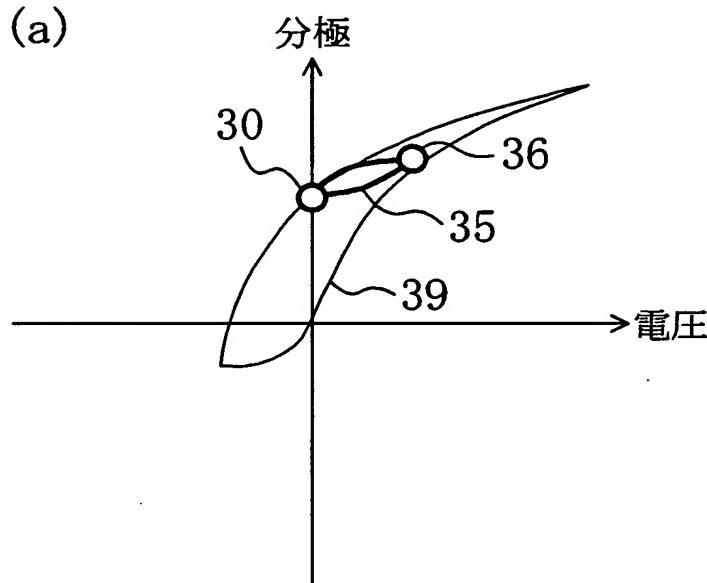


【図15】

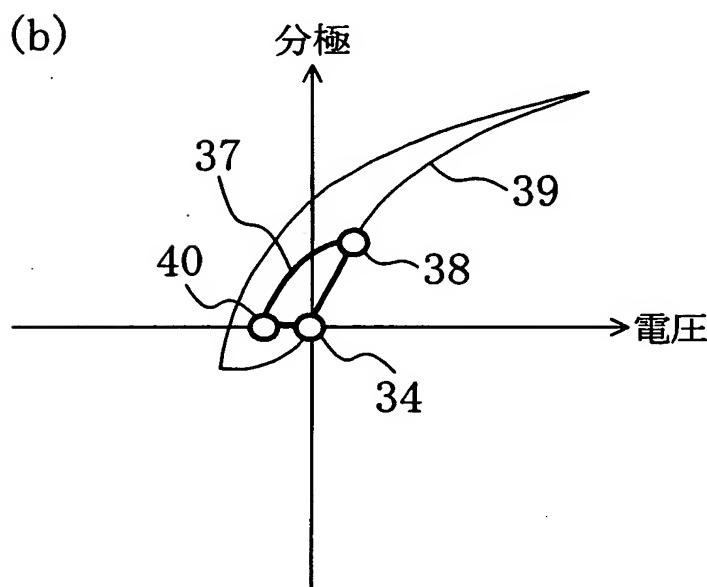


【図16】

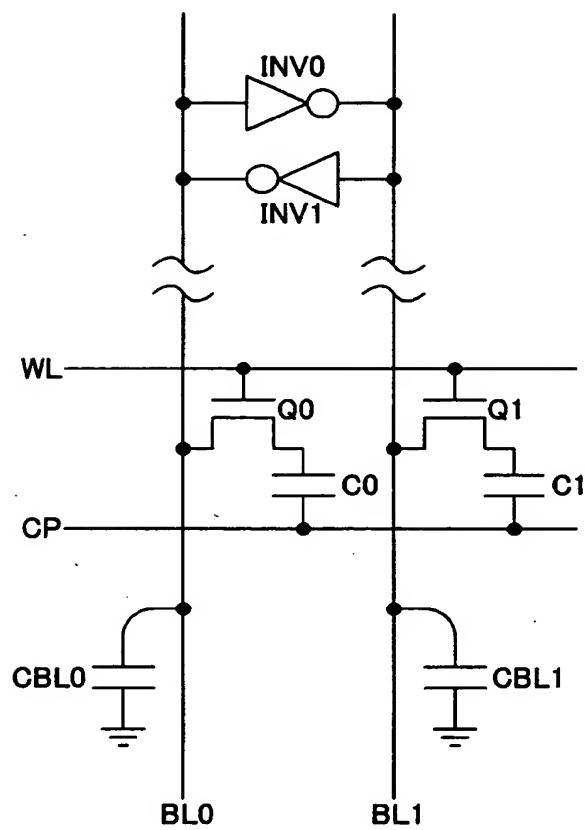
(a)



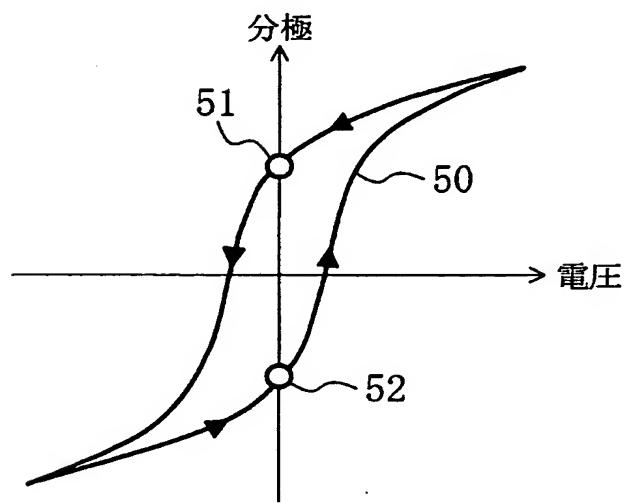
(b)



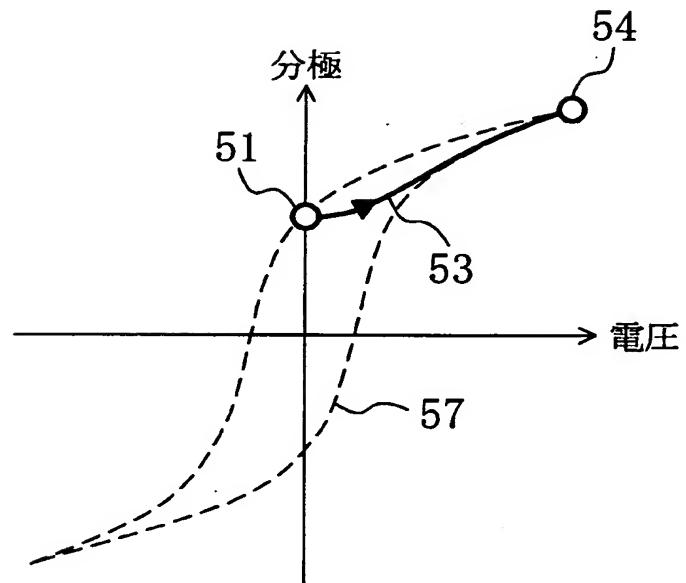
【図17】



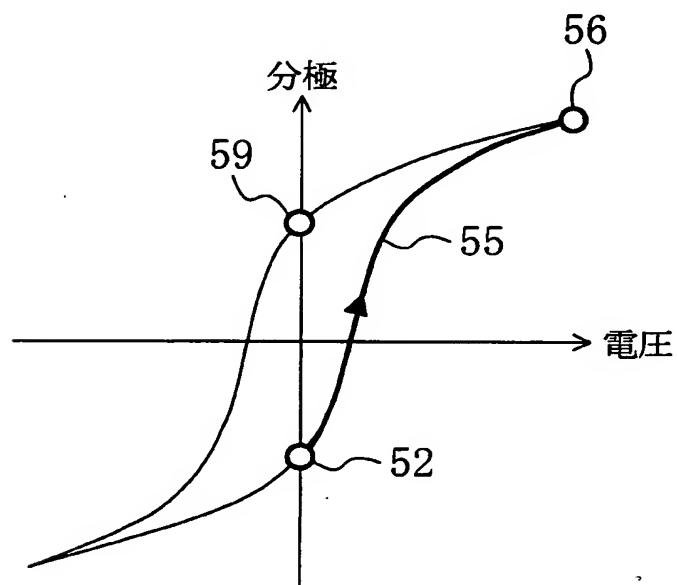
【図18】



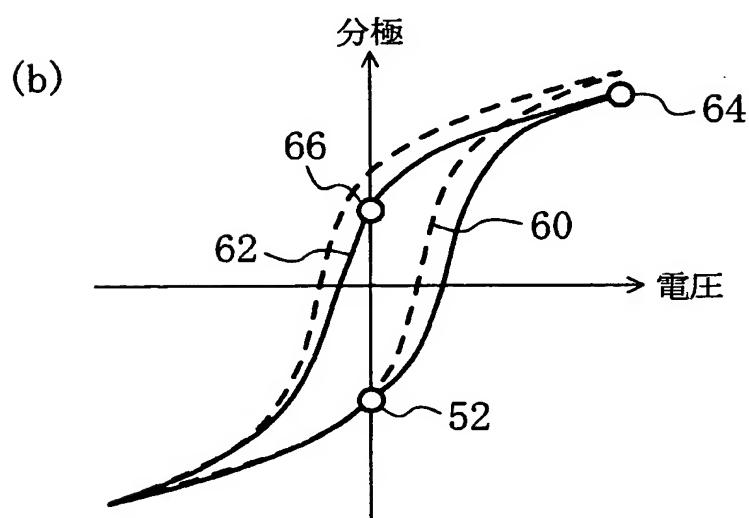
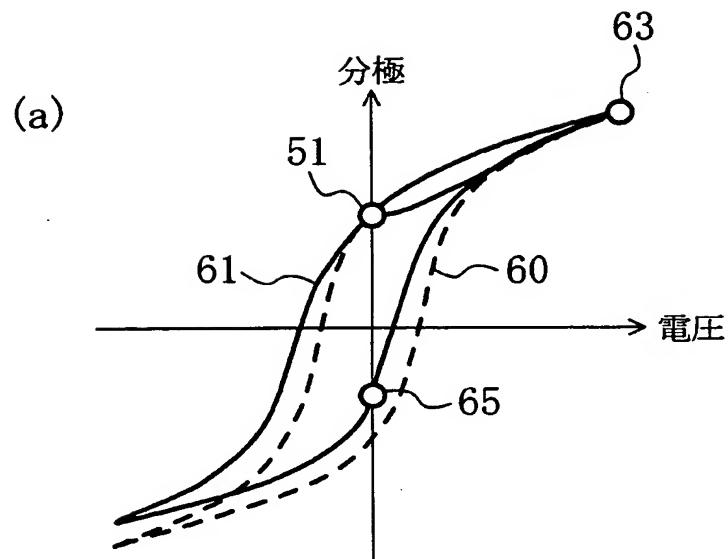
【図19】



【図20】



【図21】



【書類名】 要約書

【要約】

【課題】 データを分極値として記憶している強誘電体キャパシタの両電極に読み出し電圧を印加して分極値を読み出す際の動作マージンを増加させる。

【解決手段】 半導体記憶装置は、データを分極値として記憶する強誘電体キャパシタC0, C1を有する複数のメモリセルを備えている。複数のメモリセルのうちデータを読み出すメモリセルを構成する強誘電体キャパシタC0, C1の両電極間に読み出し電圧を印加して強誘電体キャパシタC0, C1の分極値を検出することにより、強誘電体キャパシタC0, C1に記憶されているデータを読み出す。強誘電体キャパシタC0, C1のヒステリシス曲線は、読み出し電圧の極性と逆の電圧側にシフトしている。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社